

# GTM Electronics (Shanghai) Ltd.

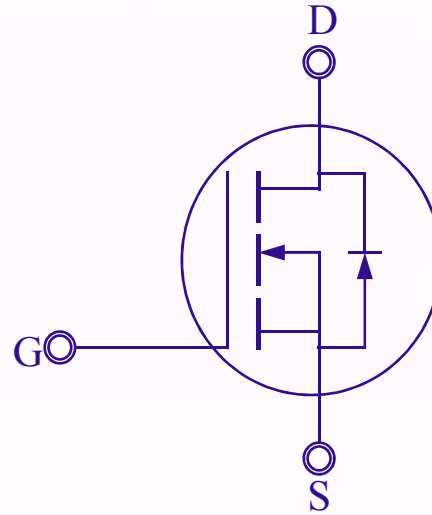
## MOS測試原理解析

By Antly\_law



# MOSFET-簡介

- ▶ MOSFET定義及特點
- ▶ MOSFET結構
- ▶ MOSFET工作原理 (NMOS)
- ▶ MOSFET特性曲線 (NMOS)
- ▶ 分立器件測試機
- ▶ MOSFET的直流參數及測試目的
- ▶ MOSFET的交流參數
- ▶ MOSFET Related
- ▶ 廠內分析MOSFET異常方法
- ▶ 習題



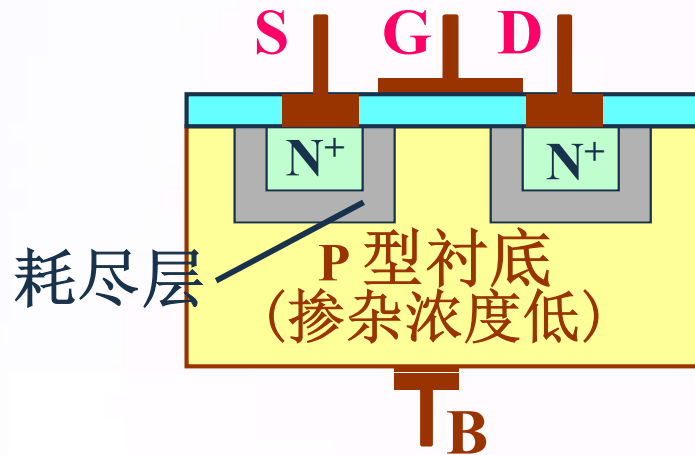
# MOSFET定義

- ▶ MOSFET=Metal-Oxide-Semiconductor Field-Effect Transistor即金属-氧化层-半导体-场效晶体管.
- ▶ MOSFET是一种可以广泛使用在类比电路与数位电路的场效晶体管 (field-effect transistor)。
- ▶ MOSFET依照其“通道”的极性不同，可分为n-type与p-type的MOSFET，通常又称为NMOSFET与PMOSFET，其他简称尚包括NMOS FET、PMOS FET、nMOSFET、pMOSFET等
- ▶ 特點：
  - 1.单极性器件(一种载流子导电)
  - 2. 输入电阻高 ( $10^7 \sim 10^{15} \Omega$ ，IGFET(絕緣柵型) 可高达  $10^{15} \Omega$ )
  - 3. 工艺简单、易集成、功耗小、体积小、成本低



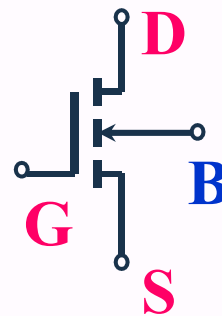
# MOSFET結構

## ► 增強型NMOS結構與符號:



- 在一块掺杂浓度较低的P型硅衬底上，制作两个高掺杂浓度的N+区，并用金属铝引出两个电极，分别作漏极d和源极s。然后在半导体表面覆盖一层很薄的二氧化硅(SiO<sub>2</sub>)绝缘层，在漏—源极间的绝缘层上再装上一个铝电极,作为栅极g。在衬底上也引出一个电极B，这就构成了一个N沟道增强型MOS管。MOS管的源极和衬底通常是接在一起的(大多数管子在出厂前已连接好)。它的栅极与其它电极间是绝缘的

• 符號如右 →

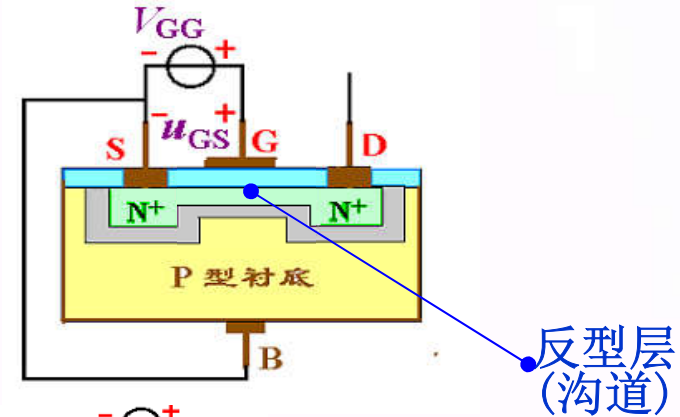


# MOSFET工作原理

## ► 增強型NMOS工作原理；

### 1) $u_{GS}$ 对导电沟道的影响 ( $u_{DS} = 0$ ), 如左圖

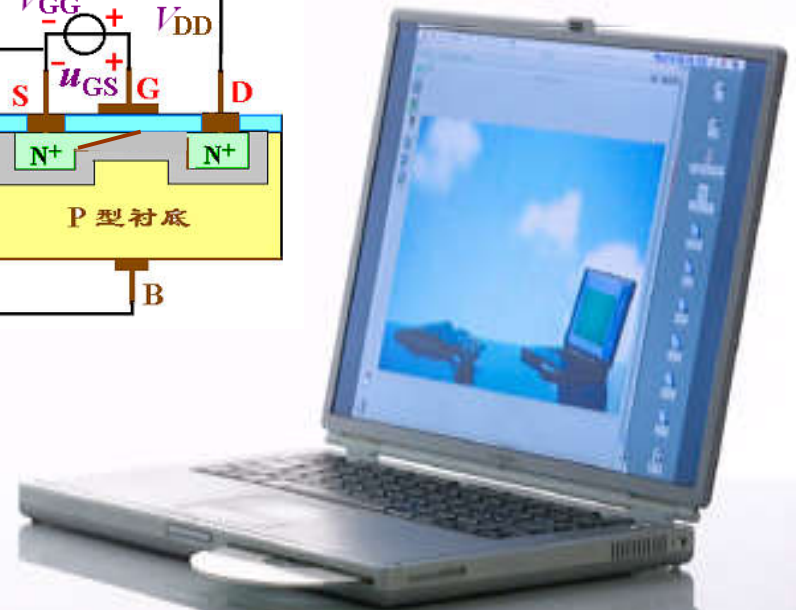
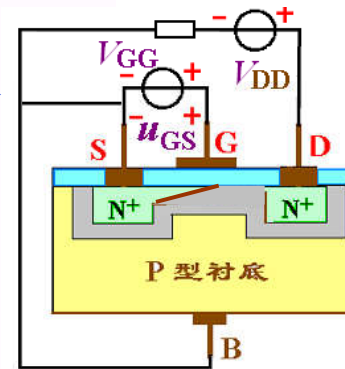
- A. 当  $U_{GS} = 0$ , DS 间为两个背对背的 PN 结；
- B. 当  $0 < U_{GS} < U_{GS(th)}$  (开启电压) 时, GB 间的垂直电场吸引 P 区中电子形成离子区 (耗尽层)；
- C. 当  $u_{GS} \geq U_{GS(th)}$  时, 衬底中电子被吸引到表面, 形成导电沟道。  $u_{GS}$  越大沟道越厚。



### 2) $u_{DS}$ 对 $i_D$ 的影响 ( $u_{GS} > U_{GS(th)}$ )

- 1. 预夹断 ( $U_{GD} = U_{GS(th)}$ ): 漏极附近反型层消失。
- 2. 预夹断发生之前:  $u_{DS} \uparrow i_D \uparrow$ 。
- 3. 预夹断发生之后:  $u_{DS} \uparrow i_D$  不变。

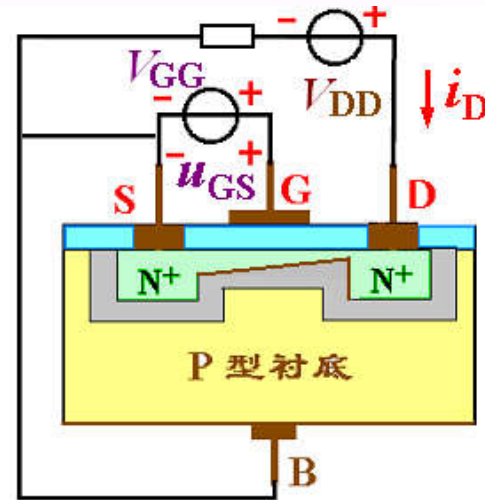
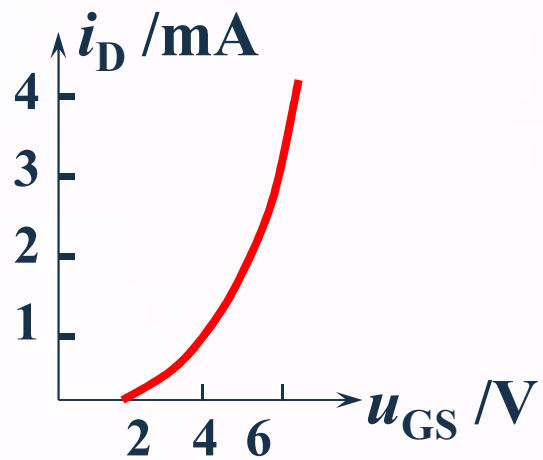
DS 间的电位差使沟道呈楔形,  $u_{DS} \uparrow$ , 靠近漏极端的沟道厚度变薄。



# MOSFET特性曲線

► 增強型NMOS特性曲線：轉移特性曲線

$$i_D = f(u_{GS}) \Big|_{U_{DS}}$$

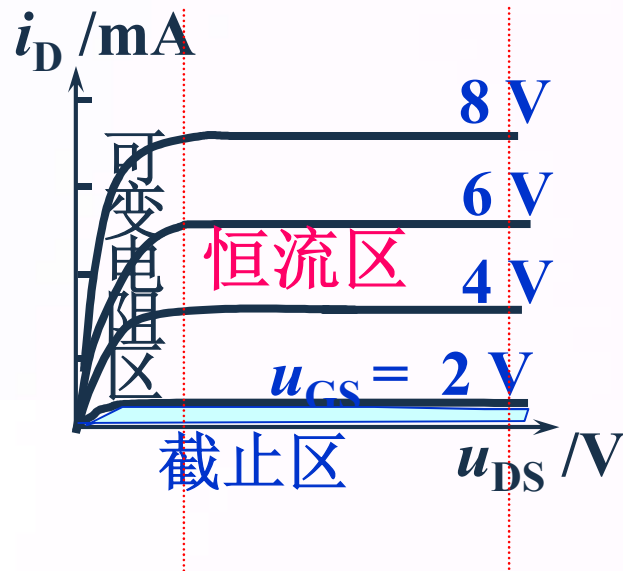




# MOSFET特性曲線

► 增強型NMOS特性曲線：輸出特性曲線

$$i_D = f(u_{DS}) \Big|_{U_{GS}}$$



- 可變電阻區：  $u_{DS} < u_{GS} - U_{GS(th)}$   $u_{DS} \uparrow \rightarrow i_D \uparrow$ ，直到預夾斷
- 飽和放大區：  $u_{DS} \uparrow$ ，  $i_D$  不變  $\Delta u_{DS}$  加在耗尽层上，沟道电阻不变
- 截止區：  $u_{GS} \leq U_{GS(th)}$  全夾斷  $i_D = 0$

每一條曲線均是由每一個  $V_{GS}$  電壓得來的  
橫軸為  $U_{DS}$  (單位:V) 縱軸為  $I_D$  (單位為Ma)



## 分立器件測試機

▶ 目前廠內測試分立器件的模擬測試機有：

- 1.TESEC: Tesec 881 (20A,1000V) ; Tesec8820 (3A,500V)
- 2.KDK: KDK2002 (10A,1000V) ; KDK2003 (30A,1500V)
- 3.聯動測試機: 30A,1000V
- 4.SM-2095: (5A,500V)

1.對於測試MOSFET及其他分立器件，用規格較小測試機撰寫的程序均可在規格較大的測試機上測試，**切勿反之！**

2. Tesec881 +8610-Cu（大電流）可測到200A.

3.測試MOSFET時，使用9824BOX（G-I-O腳位）盒.晶體管使用BCE腳位之BOX





## MOSFET的直流參數及測試目的

### ▶ 測試項目:

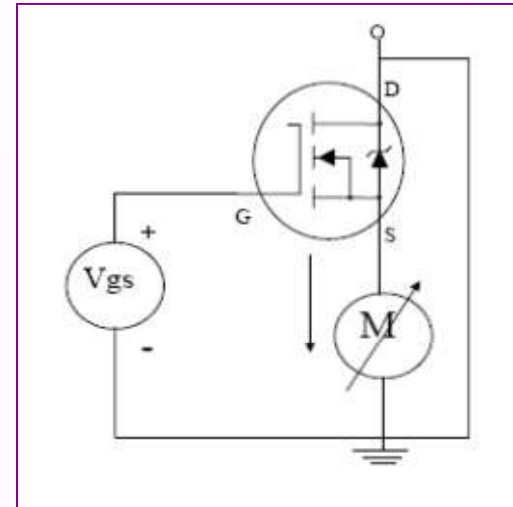
- 1.IGSS:Gate-to-Source Forward Leakage Current
- 2.IDSS: Drain-to-Source Forward Leakage Current
- 3.BVDSS: Drain-to-Source Breakdown Voltage
- 4.VTH: Gate Threshold Voltage
- 5.RDSON: Static Drain-to-Source On-Resistance
- 6.VFSD: Diode Forward Voltage
- 7.GMP: GFS
- 8.VP: Pinch-Off Voltage



# MOSFET的直流參數及測試目的

## ► 1. 測試項目 (IGSS)，測試線路如右：

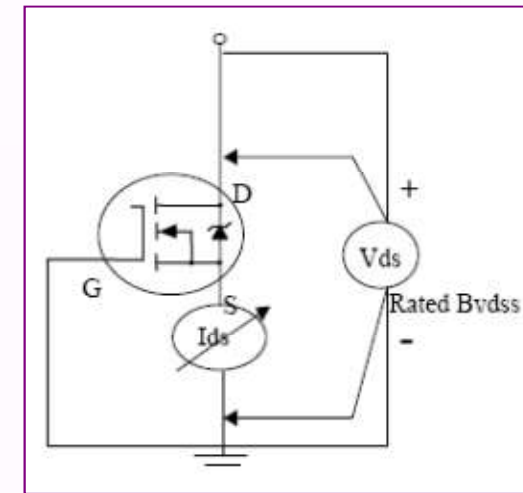
- **IGSS**：此為在閘極周圍所介入的氧化膜的洩極電流，此值愈小愈好，當所加入的電壓，超過氧化膜的耐壓能力時，往往會使元件遭受破壞。
- 測試方法：  
D,S 短接，GS端給電壓，量測IGS
- 測試目的：
  1. 檢測Gate氧化層是否存在異常
  2. 檢測因ESD導致的damage
  3. 檢測Bonding后有無Short情形



## MOSFET的直流參數及測試目的

### ► 2. 測試項目 (IDSS), 測試線路如右:

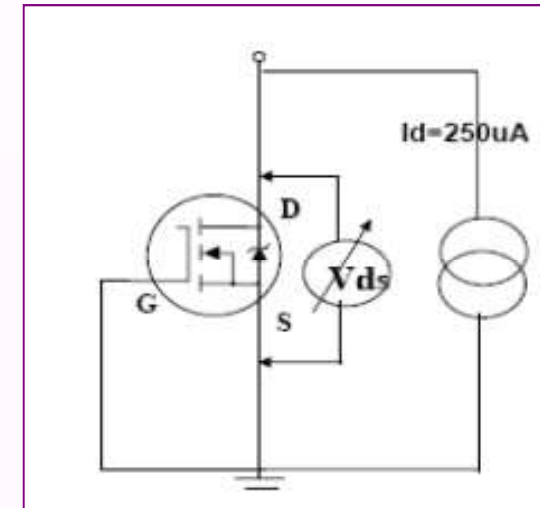
- **IDSS:** 即所謂的洩漏電流，通常很小，但是有時為了確保耐壓，在晶片周圍的設計，多少會有洩漏電流成分存在，此最大可能達到標準值10倍以上。該特性與溫度成正比
- 測試方法:  
G,S 短接，DS端給電壓，量測IDS
- 測試目的:
  1. 檢測DS間是否有暗裂
  2. 建議放在BVDSS后測試



## MOSFET的直流參數及測試目的

### ▶ 3. 測試項目 (BVDSS)，測試線路如右：

- **BVDSS:** 此為Drain端 – Source端所能承受電壓值,主要受制內藏逆向二極體的耐壓,其測試條件為  $V_{GS}=0V$  ,  $I_D=250\text{ uA}$  . 該特性與溫度成正比
- 測試方法:  
G,S 短接, DS端給電流, 量測 $V_{DS}=V_D-V_S$
- 測試目的:
  1. 檢測產品是否擊穿
  2. 可用來檢測產品混料



## MOSFET的直流參數及測試目的

### ► 4. 測試項目 (VTH)，測試線路如右：

- **VTH**：使MOS 開始導通的輸入電壓稱 **THRESHOLD VOLTAGE**。由於電壓在  $V_{GS(TH)}$  以下，POWER MOS 處於截止狀態，因此， $V_{GS(TH)}$  也可以看成耐雜訊能力的一項參數。 $V_{GS(TH)}$  愈高，代表耐雜訊能力愈強，但是，如此要使元件完全導通，所需要的電壓也會增大，必須做適當的調整，一般約為 2~4V，與 BJT 導通電壓  $V_{BE}=0.6V$  比較，其耐雜訊能力相當良好。該特性與溫度成反比

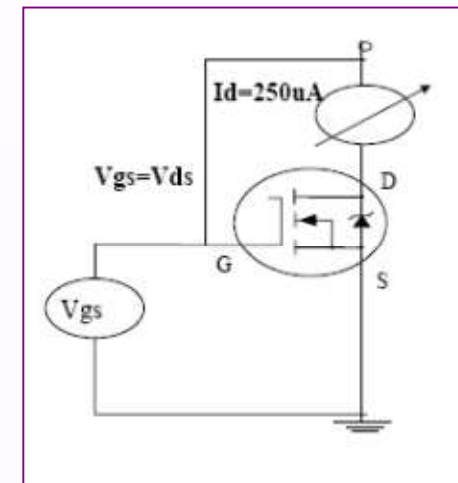
- 測試方法：

G,D 短接，DS端給電流，量測  $V_{TH}=V_{GS}=V_D-V_S$

- 測試目的：

1. 檢測產品的OS
2. 可用來檢測產品混料
3. 檢測W/B制程之Gate線

•KDK2002中，VTH寫法為  $V_{GSF}+CB=1$





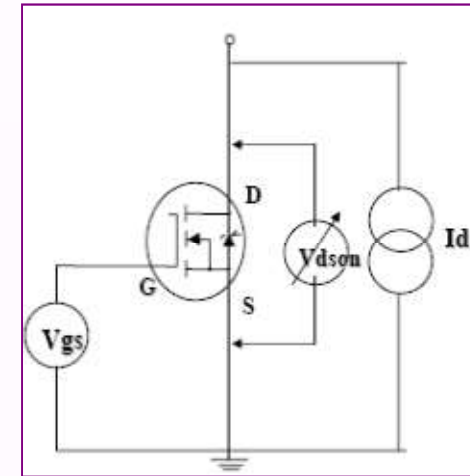
## MOSFET的直流參數及測試目的

### ► 5. 測試項目 (Rdson), 測試線路如右:

- **RDSON:** 導通電阻值, 低壓POWER MOSFET 最受矚目之參數

$$RDS(on) = R_{SOURCE} + R_{CHANNEL} + R_{ACCUMULATION} + R_{JFET} + R_{DRIFT(EPI)} + R_{SUBSTRATE}$$

低壓POWER MOSFET 導通電阻是由不同區域的電阻所組成，大部分存在於RCHANNEL，RJFET及REPI，在高壓MOS則集中於REPI。為了降低導通電阻值，MOSFET晶片技術上朝高集積度邁進，在製程演進上，TRENCH DMOS以其較高的集積密度，逐漸取代PLANAR DMOS成為MOSFET製程技術主流。該特性與溫度成正比。



## MOSFET的直流參數及測試目的

### ► 5. 測試項目 ( $R_{dson}$ )，測試線路如右：

- 測試方法：

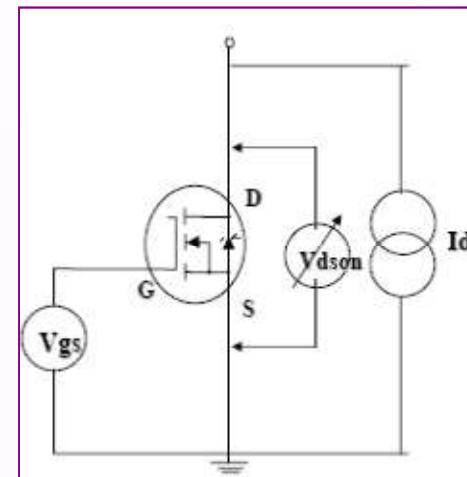
GS給電壓，DS端給電流 $I_D$ ，量測VDS 用 $V_{DS}/I_D$  得到 $R_{dson}$

1.分立器件測試機均是由此公式換算得出

2.KDK-2002/2003在寫測試條件時，Range部分請選擇10,其PNP極性VGS需寫成負值

- 測試目的：

在產品出現Ball off異常時，可用來加嚴測試，篩選出異常品

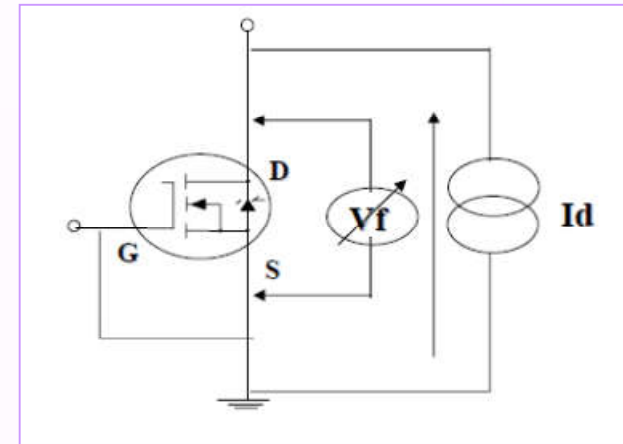


## MOSFET的直流參數及測試目的

### ▶ 6. 測試項目 (VFSD)，測試線路如右：

- **VFSD**：此為內嵌二極管的正向導通壓降， $VFSD=VS-VD$
- 測試方法：  
依照客戶要求決定測試方法：
  1. 一個是  $VGS=0V$ ，量測DS間二極管的壓降
  2. 一個是G腳Open，量測DS間二極管的壓降
- 測試目的：
  1. 檢測晶圓製程中的異常，如背材脫落
  2. 檢測W/B過程中有無Source wire球脫現象

• **Remark**：Tesec 881中，VFSD+ 可以寫成  $VGS=0V$ ，VFSD代表G腳Open



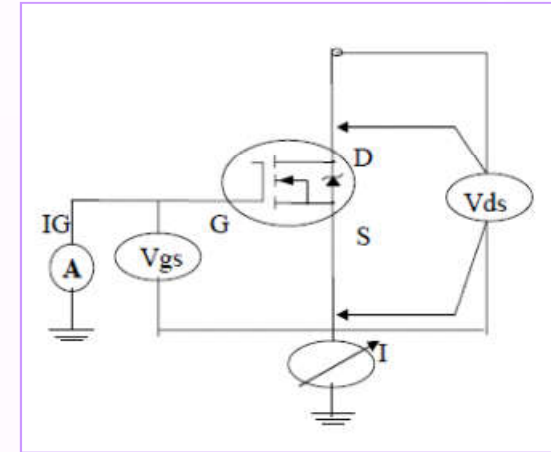
## MOSFET的直流參數及測試目的

### ▶ 7. 測試項目 (VP), 測試線路如右:

- VP: 夾斷電壓

- 測試方法:

給GS一個電壓，從DS間灌入一個電流(一般為250uA)調整IG直到ID=設定電流，量測VGS=VG-VS



- 測試目的:

1. 檢測Source Open (Source未打線或者有Ball off現象)，如果Source未打線，則VP=VGS Limit=28V

2. 當GS OK, DS Short, 此時VP=Vgs limit



## MOSFET的直流參數及測試目的

### ► 8. 測試項目 (GMP), 測試線路如右:

- **GMP:** 又叫**GFS**.代表輸入與輸出的關係即**GATE**電壓變化,**DRAIN**電流變化值,單位為**S**.當汲極電流愈大,**GFS**也會增大.在切換動作的電路中,**GFS**值愈高愈好.

- 測試方法:

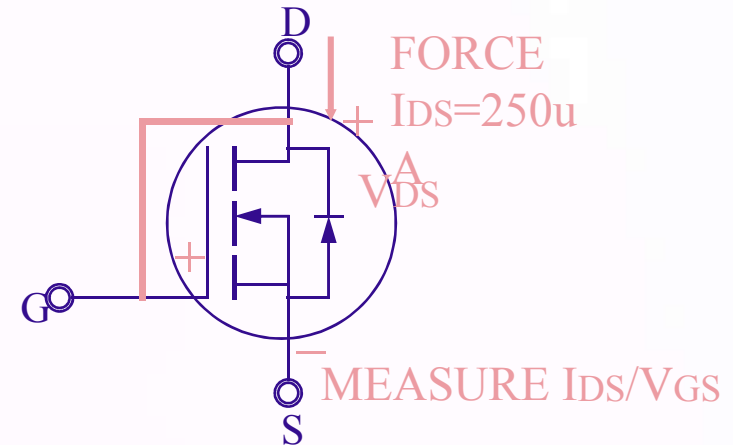
GD Short, 從DS間灌入一個電流(一般為250uA)量測IDS及VGS,用ID/VGS 得到GFS

- 測試目的: 檢驗產品在某種條件下的電流與電壓的變化量
- 在Tesec 881中, 可以用Delta I/Delta Vp來進行替換測試, 其時間要求如下:

VP1:ID Time=**380uS**

VP2:0.9\*ID Time=**780uS**

GMP=(0.9\*ID)/Delta(VP1-VP2)





# MOSFET的交流參數

- ▶ AC PARAMETER
  - DYNAMIC CHARACTERISTICS
    - CISS , COSS , CRSS
  - GATE CHARGE
    - QG/QGS/QGD
  - TURN-ON/OFF DELAY TIME
    - TD (ON) /TD (OFF)
  - RISE / FALL TIME
    - TR /TF



# MOSFET的交流參數

## ► DYNAMIC CHARACTERISTICS

- CISS , COSS , CRSS

CISS：此為POWER MOS在截止狀態下的閘極輸入容量，為閘--源極間容量CGS與閘--汲極間容量CGD之和。特別是CGD為空乏層容量。其導通時的最大值，即是VDS=0V時。

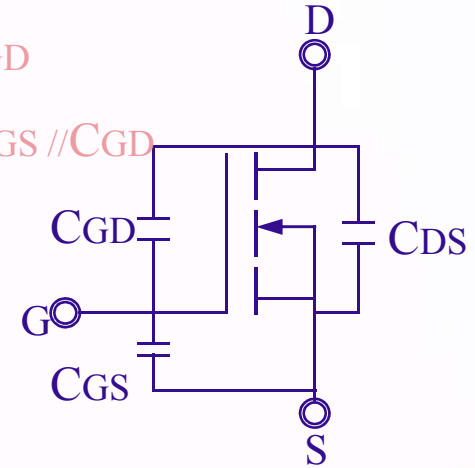
COSS：此為汲極--源極間的電容量，也可以說是內藏二極體在逆向偏壓時的容量。

CRSS：此為汲極--閘極間的電容量，此對於高頻切換動作最不良影響。為了提高元件高頻特性，CGD要愈低愈好。

$$CISS = CGS + CGD$$

$$COSS = CDS + CGS // CGD$$

$$CRSS = CGD$$



# MOSFET的交流參數

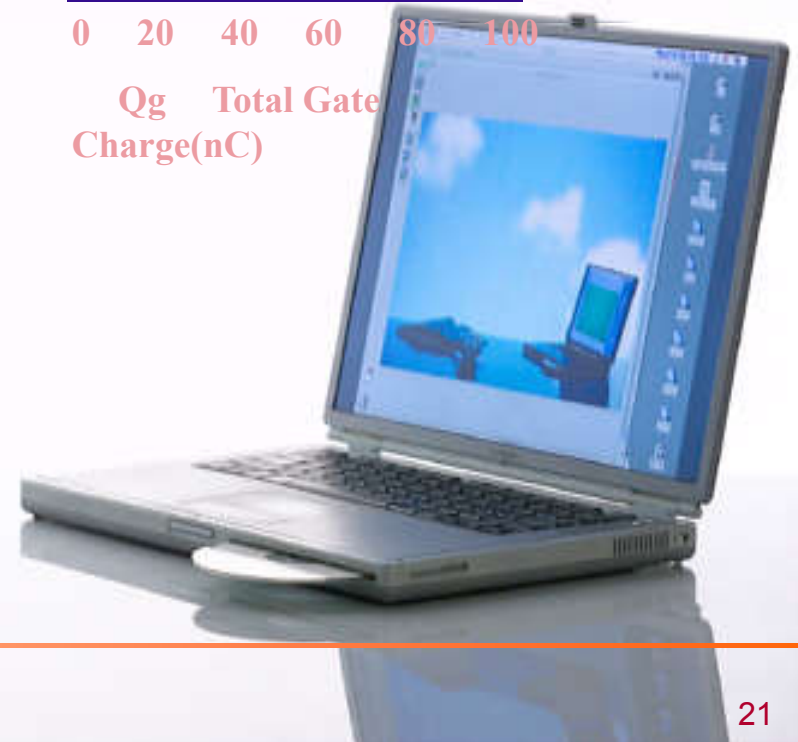
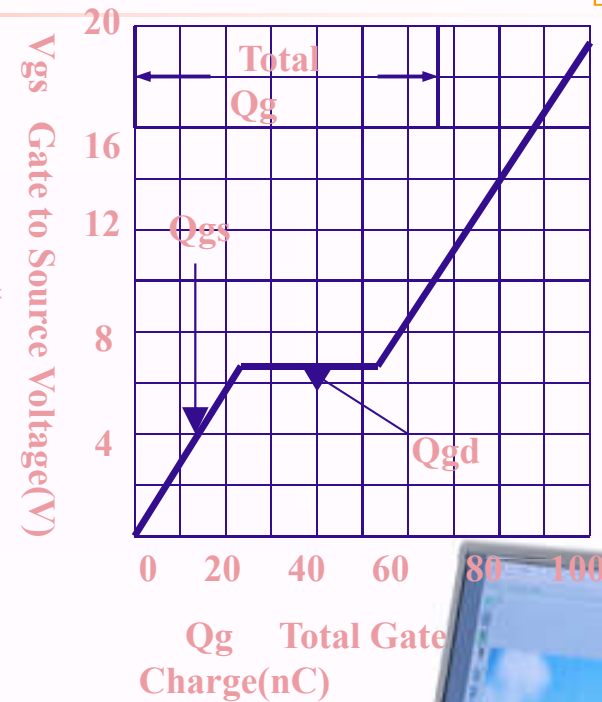
## ► GATE CHARGE

### ► QG/QGS/QGD

•POWER MOS 的切換動作過程可以說是一種電荷移送現象。由於閘極完全是由絕緣膜覆蓋，其輸入阻抗幾乎是無限大，完全看輸入電容量的充電/放電動作來決定切換動作的狀態。

•POWER MOS 在導通前可以分-- 啟閘值電壓之前/開始導通/完全導通三種狀態:

•啟閘值電壓：在電壓達到啟閘值電壓之前，輸入電容量幾乎是與閘極電容量CGS相等。在閘極正下方的汲極領域的空乏區會擴展，閘極- -汲極間的電容量與電極間距離有關。在導通的初期狀態，由於有Miller效應，輸入電容量的變化很複雜。當汲極電流愈增加時，Av也會增加，Miller效應會愈明顯。隨著汲極電流的增大，負載電阻的壓降也會增大，使加在POWER MOS 的電壓下降。



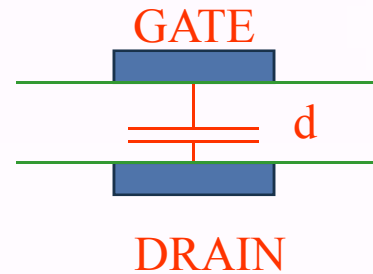
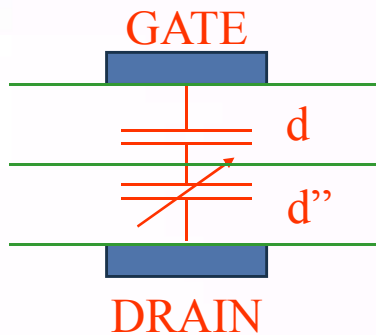
# MOSFET的交流參數

## ► GATE CHARGE

### ► QG/QGS/QGD

開始導通：當所加的電壓VDS有變化時，空乏層的厚度d也會發生變化。

完全導通：在完全導通時，輸入電容量可以視為CGD與CGS之和。



# MOSFET的交流參數



## ▶ TURN-ON/OFF DELAY TIME

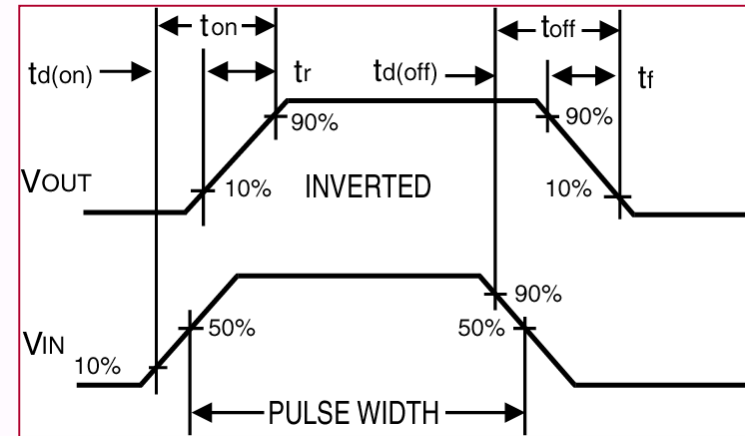
### ➢ TD (ON) /TD (OFF)

#### •導通時間 TON :

此為導通延遲時間TD(ON)與上升時間TR的和。由閘極電壓上昇至10%到VDS由於ON而下降至90%之值為止的時間，稱之為TD(ON)，而進一步至VDS成為10%之值為止的時間稱之為TR。此一導通時間與閘極電壓以及信號源的阻抗有很大的關係，大致上成為TON  $\propto$  RG/VGS的關係。

#### •截流時間 TOFF :

此為截流時間TD(OFF)與下降時間TF之和。由閘極電壓下降至90%開始，至VDS成為OFF而上昇至10%之值為止的時間。稱之為TD(OFF)，更進一步至VDS上昇至90%為止的時間，稱之為TF。此一截流時間TOFF也與導通時間一樣與信號源阻抗及閘極電壓有很大關係。大致上可以用TOFF  $\propto$  RG/VGS表示。





# MOSFET Related



## ❖ POWER RELATED

- POWER DISSIPATION
- CURRENT RATING
- MAXIMUM CURRENT RATING
- AVALANCHE



# MOSFET Related



## ❖ POWER DISSIPATION

PD: 為元件上所能承受電功率. 其運算式為:

$$PD(\max) = (T_J - T_C) / R_{\theta JC}$$

$$PD(\max) = (150\text{ }^\circ\text{C} - 25\text{ }^\circ\text{C}) / 2.1\text{ }^\circ\text{C/W}$$
$$= 60\text{ W}$$

$T_J$  = 元件接合溫度.

$T_C$  = 外殼溫度.

$R_{\theta JC}$  = 晶片至外殼的熱電阻



# MOSFET Related



## ❖ CURRENT RATING

ID : 為元件所能提供最大連續電流.

ID 運算式:

$$I_D = \sqrt{P_D / R_{DS(on)(MAX)}}$$

$$I_D = \sqrt{60W / 5 * 2.5\Omega}$$

$$= 2A$$

\*PD = @TJ=150°C

\*RDS(on)(MAX) = R(T)\*RDS(on)(MAX)



# MOSFET Related



## ❖ MAXIMUM CURRENT REATING

IDM：為元件所能承受瞬間最大電流。

IDM運算法：

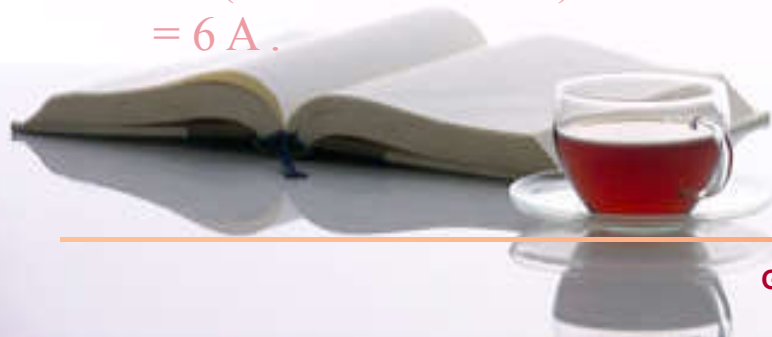
關於IDM值,該值乃是根據 RDSON – 溫度曲線圖和熱阻曲線 計算得知。

1.由SINGLE PULSE 300uS代入 FIGURE 得知 R(T)約等於 0.15.

$$\begin{aligned} 2. R_{\theta JC}(T) &= R_{\theta JC} * R(T) \\ &= 2.1^{\circ}\text{C}/\text{W} * 0.15 \\ &= 0.315^{\circ}\text{C}/\text{W} \end{aligned}$$

$$\begin{aligned} 3. P_{DM} &= (T_J - T_C) / R_{\theta JC}(T) \\ &= (150^{\circ}\text{C} - 25^{\circ}\text{C}) / 0.315^{\circ}\text{C}/\text{W} \\ &= 396^{\circ}\text{C}/\text{W}. \end{aligned}$$

$$\begin{aligned} 4. I_{DM} &= \sqrt{[P_{DM} / R_{DS(on)max}]} \\ &= \sqrt{(396^{\circ}\text{C}/\text{W} / 10.5\Omega)} \\ &= 6 \text{ A}. \end{aligned}$$



# MOSFET Related



## ❖ AVALANCHE

EAS AVALANCHE ENERGY 計算公式如下:

$$\begin{aligned} EAS &= 1/2 * L * I * I [V(BR)DSS / (V(BR)DSS - VDD)] \\ &= 1/2 * 60 \text{ mH} * 2 \text{ A} * 2 \text{ A} * [600 / (600 - 50)] \\ &= 120 \text{ mJ} \end{aligned}$$

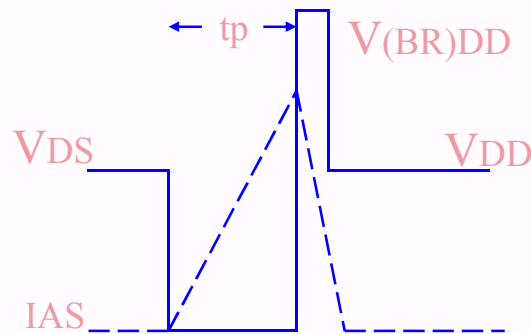
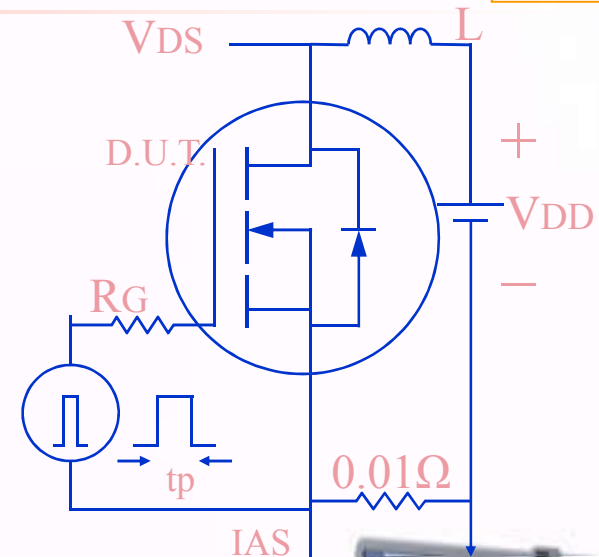
EAS=雪崩能量

L=電感值

I=電感峰值電流

BVDSS=雪崩擊穿電壓

VDD=電源電壓.





## 廠內分析MOSFET 異常方法

### ❖ 分析流程：

外觀檢查→DC→X-ray→De-cap→Cratering→無異常反饋客戶，若分析中發現有異常，需再確認，並開立異常單轉內部處理，依要求做信賴性驗證及反饋客戶

### ❖ 外觀檢查:看是否有暗裂，樹脂破等異常

### ❖ DC:Socket驗證產品是否為誤判

### ❖ X-ray:觀察打線是否異常？共錫產品是否有空洞？銀膠產品是否有氣泡？

### ❖ De-cap：確認D/S, D/B, W/B, M/D製程有無異常，如晶粒表面刮傷，釘傷，球扁壓及鋁路，Ball off，E點脫落，頸部短線，塌線，晶粒暗裂及其他

### ❖ Cratering：檢查W/B製程是否存在Bonding異常

### ❖ 其它分析手法：SAT, Cross section，等...



## 習題

- ❖ 1.請寫出MOSFET的DC參數
- ❖ 2.請寫出KDK-2003測試PNP管時Rdson的條件
- ❖ 3.請寫出Tesecc 881測試VFSD,VFSD+分別代表什麼意思
- ❖ 4.請寫出KDK-2002測試VTH的替代項目
- ❖ 5.問題：TESEC 881程式是否能與8820共用？請告知原由？
- ❖ 6.請寫出廠內測試分立器件的測試機的電流電壓參數
- ❖ 7.實習題：請實際操作並整理一份MOSFET的OS測試資料



*Thaks a lot*

劉進軍

